

Partial translation of JP 9-46176 A

...omitted...

[0017] An operation will now be described using Fig. 1. An FET can be switched between an ON state and an OFF state by controlling a voltage to be applied to a gate electrode of the FET as described in the conventional embodiment. First, the first FET and the second FET are turned on while the third FET 4 is turned off. If an FET is in an ON state, the FET has sufficiently low impedance, so that a high frequency signal passes through the FET. On the other hand, if the FET is in an OFF state, the FET has high impedance, so that the FET serves to cut a high frequency signal. Thus, in an equivalent circuit of an attenuator at this time, the third FET 4 can be regarded as an open end with respect to a main line connecting an input terminal 6 and an output terminal 7. Accordingly, if the FET in an ON state has a sufficiently small resistance and is thus neglected, this equivalent circuit can be regarded as an equivalent circuit of Fig. 2(a) and thus serves as a passing circuit in the attenuator as a whole.

[0018] Then, the first FET 1 and the second FET 3 are turned off while the third FET 4 is turned on. The equivalent circuit of the attenuator at this time serves as a T-type attenuator due to a first resistor 2a, a second resistor 2b and a third resistor 2c as shown in Fig. 2(b) if the FET in an ON state has a sufficiently small resistance and is thus neglected. In this case, the attenuation L is calculated at an equation 1 where  $R_1$  is the resistance of

the first resistor  $2a$  and that of the second resistor  $2b$ ,  
and  $R_2$  is the resistance of the third resistor  $2c$ .

...omitted...

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-046176

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H03H 11/24

(21)Application number : 07-191947

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.07.1995

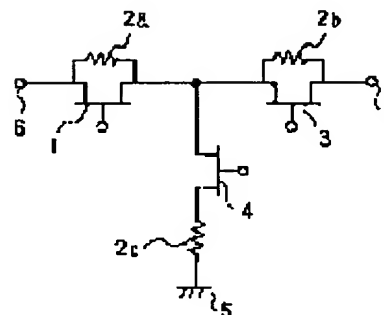
(72)Inventor : KASAHARA MICHIAKI

## (54) ATTENUATOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To facilitate miniaturization and the design by selecting the combination of on/off states of plural FETs to which resistors are loaded in parallel or in series so as to select the operation as a pass circuit or the operation for a T-shaped attenuator.

SOLUTION: When a FET(field-effect transistor) 1 and a FET 3 are conductive and a FET 4 is nonconductive, a high frequency signal passes through the FET when the FET is conductive and the FET interrupts the high frequency signal when the FET is nonconductive. Since the FET 4 is regarded as an open end with respect to a major line tying input output terminals 6, 7 in the attenuator equivalent circuit, the entire attenuator acts like a passing circuit. When the FETs 1, 2 are nonconductive and the FET 4 is conductive, the attenuator acts like a T-shaped attenuation circuit by resistors 2a-2c in the attenuator equivalent circuit. Thus, the passing loss difference of both circuit is attenuated and even when desired attenuation is different, the matching design with circuits before and after the attenuator is easily executed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46176

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 11/24		8731-5 J	H 0 3 H 11/24	B

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-191947

(22) 出願日 平成7年(1995)7月27日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 笠原 通明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

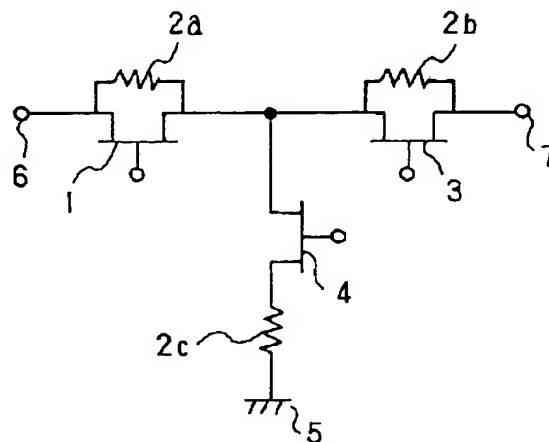
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 減衰器

(57) 【要約】

【目的】 小型で、周波数特性が小さく、設計の容易な減衰器を得る。

【構成】 ソース電極とドレイン電極との間に抵抗を並列に装荷したF E Tと、抵抗を直列に接続したF E Tとを接続し、これらF E Tのゲート電極に印加するバイアス電圧を制御してF E Tのオン状態とオフ状態とを切換えることにより、通過回路と抵抗により構成されるT型減衰回路とを切換えて減衰を行なう。



- 1 : 第1のF E T
- 2 : 抵抗
- 3 : 第2のF E T
- 4 : 第3のF E T
- 5 : 接地
- 6 : 入力端子
- 7 : 出力端子

## 【特許請求の範囲】

【請求項1】 ドレイン電極とソース電極間に第1の抵抗を装荷した第1のFET（電界効果トランジスタ）と、ドレイン電極とソース電極間に第2の抵抗を装荷した第2のFETとを、入出力間を結ぶ主線路に対して、ドレイン電極及びソース電極を接続端子として直列に接続すると共に、第3のFETのドレイン電極あるいはソース電極に、第3の抵抗が直列に接続された直列回路を、前記第1のFETと第2のFETの接続点に、入出力間を結ぶ主線路に対して並列接続してT型回路を構成し、前記第1から第3のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする減衰器。

【請求項2】 前記第1のFETあるいは前記第2のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、この指交差状の電極を有するFETに装荷される前記第1の抵抗あるいは前記第2の抵抗が、ソース電極パターンまたはドレイン電極パターンのうち一極の少なくとも一本以上の電極パターンと、他極の少なくとも一本以上の電極パターンとを接続するパターン上に形成されることを特徴とする請求項1記載の減衰器。

【請求項3】 前記第1のFETあるいは前記第2のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、これら指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを配置してFET部を形成すると共に、残るソース電極パターンとドレイン電極パターン間に抵抗を形成して前記第1の抵抗あるいは前記第2の抵抗としたことを特徴とする請求項1記載の減衰器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、マイクロ波帯やミリ波帯で動作するFET（電界効果トランジスタ）を切換え素子として用いた減衰器に関するものである。

## 【0002】

【従来の技術】FETを用いた減衰器は、マイクロ波帯やミリ波帯におけるレーダシステムや各種伝送回路において広く用いられている。従来から知られている減衰器としては、例えばスイッチドライン型と呼ばれる図5に示すような等価回路を有する減衰器がある。

【0003】図中1は第1のFET、3は第2のFET、4は第3のFET、18は第4のFET、19は基準伝送線路、20は抵抗であり、入力端子6に第1のFET1のドレイン電極22a及び第2のFET3のドレイン電極22bが接続され、出力端子7には第3のFET4のドレイン電極22c及び第4のFET18のドレイン電極22dが接続されている。また、第2のFET3のソース電極21bと第4のFET18のソース電極

21dとの間には、基準伝送線路19が接続され、第1のFET1のソース電極21aと第3のFET4のソース電極21cとの間には、抵抗20が接続されている。また、23は各FETのゲート電極である。

【0004】次に従来の減衰器の動作を図5を用いて説明する。一般に、FETのゲートに0[V]のバイアス電圧を印加するとFETはオン状態となり、ドレイン電極とソース電極間インピーダンスは抵抗性の低インピーダンスとなる。逆に、FETのゲートにピンチオフ電圧相当のバイアス電圧を印加するとFETはオフ状態となり、ドレインとソース間インピーダンスは容量性の高インピーダンスとなる。この特性を利用してFETを高周波信号に対してスイッチとして利用することができる。ここで、オン状態時の抵抗値及びオフ状態時の容量値はFETの総ゲート電極長に依存しており、使用周波数に応じて予め所望の値とすることが可能である。

【0005】まず、第1のFET1及び第3のFET4のゲート電極23a、23cにピンチオフ電圧を印加し、第2のFET3及び第4のFET18のゲート電極23b、23dに0[V]を印加すると、第1のFET1のドレイン電極22aとソース電極21a間及び第3のFET4のドレイン電極22cとソース電極21c間は容量性の高インピーダンス（オフ状態）となり、一方第2のFET3のドレイン電極22bとソース電極21b及び第4のFET18のドレイン電極22dとソース電極21d間は抵抗性の低インピーダンス（オン状態）となる。この状態で、入力端子6より入力する高周波信号は、オン状態となっている第2のFET3、基準伝送線路19及びオン状態となっている第4のFET18を通過して出力端子7より出力する。

【0006】次に、第1のFET1及び第3のFET4のゲート電極23a、23cに0[V]を印加し、第2のFET3及び第4のFET18のゲート電極23b、23dにピンチオフ電圧を印加すると、入力端子6より入力する高周波信号は、オン状態となっている第1のFET1、抵抗20及びオン状態となっている第3のFET4を通過して出力端子7より出力する。このときの入力端子6から出力端子7までの高周波信号の通過減衰量は、上記の基準伝送線路19を通過した場合の通過減衰量に対し、基準伝送線路19と抵抗20との通過損失差分だけ減衰されたことになる。

【0007】このように、第1から第4のFETのオン状態とオフ状態を、ゲート電極23に印加する電圧によって制御することにより、高周波信号の通過経路を切り換え減衰器として動作させることができる。

## 【0008】

【発明が解決しようとする課題】従来の減衰器は以上のように構成されており、基準伝送線路と抵抗とを切換える3端子スイッチが2つ必要なため減衰器が大型化し、また、所望の減衰量は抵抗値により決まり、減衰量が異

なれば抵抗値も異なるため、抵抗とスイッチを構成するFETとのインピーダンス整合設計を、減衰量が異なる毎に行なう必要があり、設計が複雑になるという課題があった。更に、基準伝送線路や抵抗の前後に形成される接続用線路により通過移相等の周波数特性が大きくなるという課題もあった。

【0009】この発明は上記のような課題を解決するためになされたもので、小型で設計の容易な減衰器を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明の実施例1による減衰器においては、抵抗を並列に装荷した第1のFETと抵抗を並列に装荷した第2のFETとを直列に接続した回路を入出力端を結ぶ主線路に対し直列に配置し、抵抗と第3のFETとによる直列回路を入出力端を結ぶ主線路に対し並列に配置してT型回路を構成し、これらFETのゲート電極に所定のバイアス電圧を印加するようにした。

【0011】また、この発明の実施例2による減衰器においては、FETに並列に装荷される抵抗の入出力端を形成する線路パターンを、FETの指交差状に形成されているソース電極パターンとドレイン電極パターンとに接続した。

【0012】また、この発明の実施例3による減衰器においては、FETを形成する指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを形成し、残るソース電極パターンとドレイン電極パターン間に抵抗を形成するようにした。

【0013】

【作用】この発明の実施例1によれば、抵抗が並列もしくは直列に装荷されたFETのゲート電極に所定のバイアス電圧を印加してFETのオン状態とオフ状態との組合せを選択することにより、通過回路と、抵抗で構成されるT型減衰回路とを切換える。

【0014】また、この発明の実施例2によれば、FETに並列に装荷される抵抗の入出力端を形成する線路パターンを指交差状に形成されるソース電極パターンとドレイン電極パターンとに接続することで、抵抗の入出力端を形成する線路パターンをソース及びドレインの両電極パターン間に短く配置できるようにした。

\*40

$$L = -20 \cdot \log \left\{ \frac{100 \cdot R2}{100 \cdot (R1 + R2) + R1 \cdot (R1 + 2 \cdot R2) + 50^2} \right\} \text{ [dB]}$$

【0020】また、一般的な整合条件である入出力インピーダンス50Ωとした場合のR1とR2の関係は数2により与えられることも知られている。

【0021】

【数2】

\*【0015】また、この発明の実施例3によれば、FETのソース電極パターンとドレイン電極パターンとの間隙の一部に、抵抗を設けたことにより、抵抗の入出力端を形成する線路パターンをソース及びドレインの両電極パターン間に更に短くして配置できる。

【0016】

【実施例】

実施例1. 以下にこの発明の実施例1を図について説明する。図1はこの発明の実施例1を示す回路図である。

10 図において、1は第1の抵抗2aが並列に装荷された第1のFET、3は第2の抵抗2bが並列に装荷された第2のFET、4は第3の抵抗2cが直列に装荷された第3のFET、5は接地である。

【0017】つぎに、図1を用い動作について説明する。従来の実施例で説明したように、FETのゲート電極に印加する電圧を制御することでFETをオン状態とオフ状態に切換えることができる。まず、第1のFET1、第2のFET3をオン状態にし、第3のFET4をオフ状態とすると、FETがオン状態ではFETが十分に低インピーダンスとなり高周波信号はFET側を通過し、一方オフ状態ではFETが高インピーダンスとなるために、FETは高周波信号に対して遮断の作用をする。よってこのときの減衰器の等価回路は、第3のFET4が入力端子6と出力端子7とを結ぶ主線路に対して開放端と見なせるため、オン状態でのFETの抵抗値が十分に小さいとして省略すれば図2(a)の等価回路と見なすことができ減衰器全体としては通過回路として作用する。

【0018】つぎに、第1のFET1、第2のFET3をオフ状態にし、第3のFET4をオン状態とする。このときの減衰器の等価回路は、オン状態でのFETの抵抗値が十分に小さいとして省略すれば図2(b)のように第1の抵抗2a、第2の抵抗2b及び第3の抵抗2cによりT型減衰回路として作用する。この場合の減衰量Lは、第1の抵抗2a、第2の抵抗2bの抵抗値を共にR1、第3の抵抗2cの抵抗値をR2とすれば数1で与えられる。

【0019】

【数1】

$$R2 = \frac{50^2 - R1^2}{2 \cdot R1}$$

【0022】このように、FETのオン状態とオフ状態とを制御し、通過回路とT型減衰回路とを切換えることにより、両回路の通過損失差分の減衰を行なうことができる。また、本実施例の場合、所望の減衰量が異なる場

合でもR1、R2の値を数1及び数2を満たす値とすれば、減衰器と接続される前後の回路との整合設計が容易に行なえる。

【0023】実施例2. 図3はこの発明の実施例2を示す構造図であり、実施例1で説明した図1中第1の抵抗2aが装荷された第1のFET1を示す構造図である。図において第1のFET1の電極構造は、短冊形状のドレイン電極パターン8と、同じく短冊形状をしたソース電極パターン9とを複数本指交差状に配置し、ドレイン電極パターン8とソース電極パターン9との間にゲート電極パターン10を配置した構造となっている。また、ゲート電極パターン10は相互に接続されかつ外部に引き出されており、ソース電極パターン9はゲート電極パターン10との競合・干渉を避けるため、エアブリッジ11aを介して他のFETとの接続パターン15bに接続されている。また、16は図1における第1の抵抗2aに相当する抵抗体であり、この抵抗体16は端子用線路パターン14により第1のFET1に接続されている。

【0024】端子用線路パターン14aは、ドレイン電極パターン8aの先端部に接続され、端子用線路パターン14bは、ソース電極パターン9aの先端部にエアブリッジ12により接続されている。更に、くし形状に配置されている複数のドレイン電極パターン8どうしをエアブリッジ13にて橋絡接続しており、同様にソース電極パターン9どうしをエアブリッジ12にて橋絡接続した構造となっている。

【0025】以上のような構造とすれば、例えば端子用線路パターン14を、隣接するFETとの接続パターン15a及び15bから引出す場合に比べ、端子用線路パターン14の線路長を極力短くできるため配置上小型化が可能となり、更に、周波数特性を劣化させる要因である端子用線路パターン14に伴う寄生インダクタ成分が低減でき、また、隣接するFETに装荷される回路との電氣的干渉も低減できる。

【0026】ここでは、図1中の第1の抵抗2aを例にとって説明したが、第2の抵抗2bについても同様の構造で、同様の動作が可能である。また、図3では、ドレイン電極パターン8どうしをエアブリッジ13にて接続し、ソース電極パターン9どうしをエアブリッジ12にて接続しているが、エアブリッジ12、13による寄生インダクタ成分を低減したい場合等は、端子用線路パターン14を、ドレイン電極パターン8の少なくとも1本以上と、ソース電極パターン9の少なくとも1本以上とに接続しても同様の動作が可能である。

【0027】実施例3. 図4はこの発明の実施例3を示す回路図であり、実施例1で説明した図1中第1の抵抗2aが装荷された第1のFET1を示す構造図である。図4において、17aはドレイン電極パターン8aとソース電極パターン9aとの間にゲート電極パターン10

aを形成した第1のFETセルであり、17bはドレイン電極パターン8cとソース電極パターン9bとの間にゲート電極パターン10bを形成した第2のFETセルである。また、16は第1のFETセル17aと第2のFETセル17bに挟まれる形で形成されている抵抗体である。この抵抗体16は、端子用線路パターン14とエアブリッジ11bとにより接続パターン15と接続されている。このように、FETの内部に抵抗体16を配置する構造としているため、端子用接続パターン14を更に短くすることができ、減衰器として更に小型も可能となる。

【0028】以上、実施例1から実施例3までの減衰器で使用しているFETの動作においては、FETを構成するドレイン電極とソース電極とは電氣的に等価な働きを行なうことから、説明におけるソース電極とドレイン電極とを逆にしても、同様な効果が得られる。

【0029】更に、実施例1では1段構成のT型減衰回路を用いた減衰器の例を示したが、段数を増した構成としても同様に減衰回路として動作し同様な効果が得られる。

【0030】

【発明の効果】この発明は以上のように構成されているので、以下に記載するような効果がある。

【0031】この発明の実施例1によれば、減衰器の構成を通過回路とT型減衰回路とをFETを用いて切替える構成としたので、減衰量が異なる減衰器を設計する場合でもT型減衰回路の抵抗値を所望の値とすることで、他の回路との整合設計が容易にできる。

【0032】また、この発明の実施例2によれば、FETに並列に装荷される抵抗の入出力端を形成する線路パターンを短く配置できるようにしたので、回路を小型化でき、且つ線路パターンによる寄生インダクタ量が低減したことで、周波数特性の少ない減衰器の設計が可能となる。

【0033】また、この発明の実施例3によれば、FETの内部に抵抗を形成することで、FETに並列に装荷される抵抗の入出力端を形成する線路パターンを更に短く配置できるようにしたので、回路を小型化でき、且つ線路パターンによる寄生インダクタ量が低減したことで、周波数特性の少ない減衰器の設計が可能となる。

【図面の簡単な説明】

【図1】 この発明の実施例1を示す回路図である。

【図2】 この発明の実施例1の動作を説明する回路図である。

【図3】 この発明の実施例2を示す構造図である。

【図4】 この発明の実施例3を示す構造図である。

【図5】 従来の減衰器を示す回路図である。

【符号の説明】

1 第1のFET、2 抵抗、3 第2のFET、4 第3のFET、5 接地、6 入力端子、7 出力端

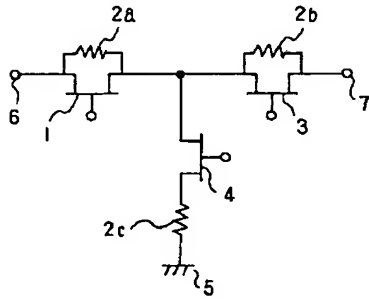
7

8

子、8 ドレイン電極パターン、9 ソース電極パターン、10 ゲート電極パターン、11 エアブリッジ、12 エアブリッジ、13 エアブリッジ、14 端子用線路パターン、15 接続パターン、16 抵抗体、\*

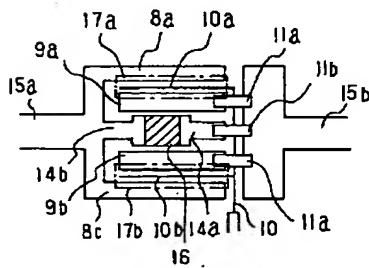
\* 17 FETセル、18 第4のFET、19 基準伝送線路、20 抵抗、21 ソース電極、22 ドレイン電極、23 ゲート電極。

【図1】

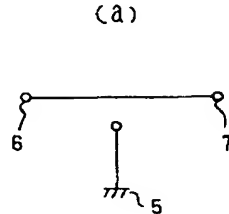


1: 第1のFET  
2: 抵抗  
3: 第2のFET  
4: 第3のFET  
5: 接地  
6: 入力端子  
7: 出力端子

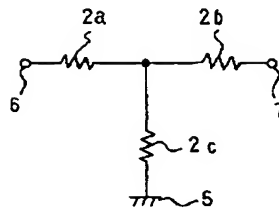
【図4】



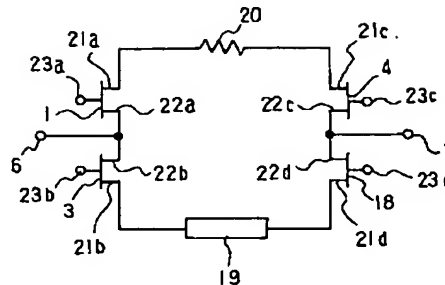
【図2】



(b)



【図5】



【図3】

